

B2

# SEMICONDUCTOR DEVICE, ITS MANUFACTURE, SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

**Publication number:** JP2000031491 (A)

**Publication date:** 2000-01-28

**Inventor(s):** SUGII NOBUYUKI; NAKAGAWA KIYOKAZU; YAMAGUCHI SHINYA; MIYAO MASANOBU

**Applicant(s):** HITACHI LTD

**Classification:**

- international: **H01L29/78; H01L21/338; H01L29/778; H01L29/786; H01L29/812; H01L21/02; H01L29/66;** (IPC1-7): H01L29/786; H01L21/338; H01L29/778; H01L29/78; H01L29/812

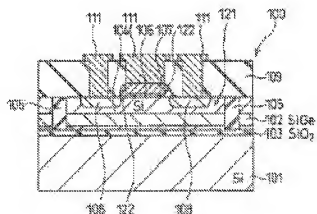
- European:

**Application number:** JP19980197911 19980714

**Priority number(s):** JP19980197911 19980714

## Abstract of JP 2000031491 (A)

**PROBLEM TO BE SOLVED:** To perform acceleration or the like by setting a strain application layer made of a mixed crystal semiconductor layer to the thickness of a specific range, and reducing the thickness of an Si layer between SiGe strain application layer and an SiO<sub>2</sub> insulating layer at most to the thickness of the SiGe strain application layer, thereby setting the thickness of the strain channel layer to the critical thickness of Si of a specific value or less on the SiGe. **SOLUTION:** In the semiconductor device 100, an SiGe strain application layer 102 made of an SiGe ( $0 < x \leq 1$ ) and a strain Si channel layer 104 are sequentially laminated and grown on an upper surface of an Si substrate 101, and a structure having an SiO<sub>2</sub> insulating layer 103 therein is formed at a surface layer of the substrate 101. The layer 102 of the device 100 is formed in a thickness of about 50 to 200 nm, and the thickness of the Si layer between the layer 102 and the layer 103 is set to the thickness of less of the SiGe strain application layer. Further, the thickness of the layer 104 is set to a power of about (3-2x) times of 10 as a critical thickness nm in which Si is strain grown on the SiGe.



Data supplied from the esp@cenet database — Worldwide



#### 【特許請求の範囲】

【請求項1】 Si基板に形成され、前記Si基板の主面の内側に形成されるSiO<sub>2</sub>絶縁層と、前記Si基板の主面に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層上に設けられるSi層からなる歪みチャネル層と、前記歪みチャネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する半導体装置であって、前記歪み印加層はSi<sub>1-x</sub>Ge<sub>x</sub> (0 ≤ x ≤ 1) かなり、前記歪み印加層は50～200nm程度の厚さになり、前記Si<sub>1-x</sub>Ge<sub>x</sub>歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記Si<sub>1-x</sub>Ge<sub>x</sub>歪み印加層以下の厚さ以下、前記歪みチャネル層の厚さは10の(3-2x)乗nm程度以下になっていることを特徴とする半導体装置。

【請求項2】 Si基板に形成され、前記Si基板の主面に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層の下面に上面が接しかつ前記歪み印加層に沿って延在するように前記Si基板内に設けられるSiO<sub>2</sub>絶縁層と、前記歪み印加層上に設けられるSi層からなる歪みチャネル層と、前記歪みチャネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有することを特徴とする半導体装置。

【請求項3】 前記歪み印加層はSi<sub>1-x</sub>Ge<sub>x</sub> (0 ≤ x ≤ 1) かなり、前記歪み印加層は50～200nmの厚さになり、前記歪みチャネル層の厚さは10の(3-2x)乗nm程度以下になっていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記歪みチャネル層上にはスペーサ層、導電型決定不純物がドーパされたキャリア供給層、キャップ層が順次形成されて変調ドーパ型の電界効果型トランジスタを構成していることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。

【請求項5】 Si基板に形成され、前記Si基板に設けたソース領域とドレイン領域との間にSi層からなる歪みチャネル層を有しかつ前記ソース領域とドレイン領域との間の歪みチャネル層上にゲート絶縁膜を介してゲート電極を設けて構成される電界効果型トランジスタを有する半導体装置の製造方法であって、前記Si基板の主面に混晶半導体層からなる歪み印加層を形成する工程と、前記歪み印加層の表面から酸素イオンを注入するとともにアニールして前記Si基板内にSiO<sub>2</sub>絶縁層を形成する工程と、前記歪み印加層上に前記歪みチャネル層を形成する工程と、前記Si基板の主面に素子分離絶縁層を形成して素子形成領域を形成する工程と、前記素子形成領域内に前記ゲート電極およびソース領域やドレイン領域を

構成する拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層と前記SiO<sub>2</sub>絶縁層との間に前記Si基板の表面部分が残留するように形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致するように形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 前記歪みチャネル層上にスペーサ層、導電型決定不純物がドーパされたデルタキャリヤ供給層、キャップ層を順次形成して変調ドーパ型の電界効果型トランジスタを形成することを特徴とする請求項5乃至請求項7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 前記歪み印加層は50～200nmの厚さになり、前記歪みチャネル層の厚さは10の(3-2x)乗nm程度以下になっていることを特徴とする請求項5乃至請求項8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】 Si基板と、前記Si基板の主面に成長形成された混晶半導体層と、前記混晶半導体層の表面から注入された酸素イオンのアニール処理によって形成されたSiO<sub>2</sub>絶縁層とからなる半導体基板。

【請求項11】 前記SiO<sub>2</sub>絶縁層と前記混晶半導体層との間には前記混晶半導体層の厚さ以下のSi基板を構成するSi層が存在していることを特徴とする請求項10に記載の半導体基板。

【請求項12】 前記混晶半導体層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致していることを特徴とする請求項10に記載の半導体基板。

【請求項13】 前記混晶半導体層の厚さは50～200nmになっていることを特徴とする請求項10乃至請求項12のいずれか1項に記載の半導体基板。

【請求項14】 前記混晶半導体層はSi<sub>1-x</sub>Ge<sub>x</sub> (0 ≤ x ≤ 1) かなりになっていることを特徴とする請求項10乃至請求項13のいずれか1項に記載の半導体基板。

【請求項15】 前記請求項10乃至請求項14のいずれか1項に記載のSi基板の製造方法であって、前記Si基板の主面に混晶半導体層を成長形成する工程と、前記混晶半導体層の表面から前記Si基板内に注入分布のピークが位置するように酸素イオンを注入する工程と、前記Si基板をアニールして前記SiO<sub>2</sub>絶縁層を形成する工程とを有することを特徴とする半導体基板の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は半導体装置、半導体装置の製造方法、半導体基板および半導体基板の製造方法に関し、特にSiGeヘテロ構造トランジスタを含む半導体装置の製造技術に適用して有効な技術に関する。

#### 【0002】

【従来の技術】集積回路の高密度化に伴い、Si電界効果トランジスタの寸法縮小および速度向上が急務となっている。一方で通信用の高速低消費電力トランジスタの開発も強く望まれている。

【0003】Siチャネルに歪みを印加させた歪みSi（ヘテロ構造）トランジスタは従来のSi電界効果トランジスタに比べ格段に高速化しうることが示唆されている（M. V. Fischetti and S. E. Laux: J. Appl. Phys. 80 (1996) 2234）。

【0004】Si基板上に形成するヘテロ構造トランジスタにおいて、チャネル層に歪を与えるためには、チャネル層の下部にこれと格子定数の異なるバッファ層（歪み印加層）を設ける必要がある。従来、 $\text{Si}_{1-x}\text{Ge}_x$  混晶 ( $0 \leq x \leq 1$ ) をバッファ層として用いていたが、1ミクロン以上の厚みのバッファ層を積層する必要があり、転位がバッファ層上部まで貫通する問題や表面荒さの悪化のために、チャネル層の輸送特性に悪影響を与えて、所望の電子輸送特性を有する高移動度トランジスタの実現は困難であった。

【0005】また、SiおよびGeを用いたトランジスタ（電界効果型トランジスタ）に関しては、エクステンデッド アブストラクト オブ 1993 インターナショナル コンファレンス オン ソリッドステート デバイス アンド マテリアルズ、マクハリ、1993年、第201頁から第203頁(Extended Abstracts of the 1993 International Conference on Solid State Devices and Materials, Makuhari (1993) pp. 201-203)に論じられている。

【0006】この文献に記載されている電界効果型トランジスタ（高移動度トランジスタ）は、Si基板上にSiGeバッファ層を有し、このSiGeバッファ層上にSiチャネル層とSiGe層を有する構造になっている。また、前記SiGe層の中段にはSbをドーブした単一原子層からなるデルタドーブ層（電子供給層）が設けられている。

【0007】一方、高速動作を考えて絶縁板上にシリコン層を設けたSOI基板を用いることが検討されている。SOI基板には張り合わせ基板等のいくつかの方法が提案されているが、Si基板に酸素イオンを注入した後にアニールして酸化物質を形成するSIMOX法が有望視されている。SIMOX基板を用いることは、従来のSi電界効果トランジスタのみならず歪みSiトランジスタの作製においても大きな利点をもたらす。

【0008】すなわち、SIMOX基板上にSiGe歪み印加層を形成すると、基板内の $\text{SiO}_2$ とその上部のSi層に転位が多数発生するためにSiGe層の転位密度を軽減させることが可能になる。しかしながら転位密度の低減のためにはSiGe層の厚みは最低でも500nm以上必要であり、膜表面の平坦性や生産性のために望ましくない。

【0009】このように、従来技術では、高速なSiGeヘテロ構造高移動度トランジスタ（HBT）の実現に必要な高

品質な歪み印加層の形成が困難であった。なお、SIMOX基板を用いて電界効果型トランジスタや高移動度トランジスタを形成した例については、D. K. Nayak, J. S. Park, J. C. S. Woo, K. L. Wang, G. K. Yabiku, and K. P. MacWilliams, International Electron Devices Meeting (IEDM)に記載されている。

#### 【0010】

【発明が解決しようとする課題】上記従来技術では、バッファ層の貫通転位、表面性の悪化、ないしはバッファ層の生産性悪化といった問題があり、これが高速なSiGeヘテロ構造高移動度トランジスタの実現を阻んでいた。

【0011】本発明の目的は、結晶性良好なヘテロ構造を実現することによって、高速化、高性能化、高集積化が達成できるヘテロ構造トランジスタを有する半導体装置および生産性に優れた半導体装置の製造方法を提供することにある。

【0012】本発明の他の目的は、結晶性良好なヘテロ構造のSi基板（半導体基板）を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### 【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) Si基板に形成され、前記Si基板の主面の内側に形成される $\text{SiO}_2$ 絶縁層と、前記Si基板の主面に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層上に設けられるSi層からなる歪みチャネル層と、前記歪みチャネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する半導体装置であって、前記歪み印加層は $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ ) からなり、前記歪み印加層は50～200nm程度の厚さになり、前記 $\text{Si}_{1-x}\text{Ge}_x$ 歪み印加層と前記 $\text{SiO}_2$ 絶縁層との間のSi層の厚さは前記 $\text{Si}_{1-x}\text{Ge}_x$ 歪み印加層以下の厚さになり、前記歪みチャネル層の厚さは $\text{Si}_{1-x}\text{Ge}_x$ 上にSiが歪み成長する臨界厚さである、10の(3-2x)乗nm程度以下になっている。

【0014】このような電界効果型トランジスタは以下の製造方法によって製造される。Si基板に形成され、前記Si基板に設けたソース領域とドレイン領域との間にSi層からなる歪みチャネル層を有しかつ前記ソース領域とドレイン領域との間の歪みチャネル層上にゲート絶縁膜を介してゲート電極を設けて構成される電界効果型トランジスタを有する半導体装置の製造方法であって、前記Si基板の主面に混晶半導体層からなる歪み印加層を形成する工程と、前記歪み印加層の表面から酸素イオンを注入するとともにアニールして前記Si基板内に $\text{SiO}_2$ 絶縁層

を形成する工程と、前記歪み印加層上に前記歪みチャネル層を形成する工程と、前記Si基板の主面側に素子分離絶縁領域を形成して素子形成領域を形成する工程と、前記素子形成領域内に前記ゲート電極およびソース領域やドレイン領域を構成する拡散領域を形成する工程とを有する。前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層と前記SiO<sub>2</sub>絶縁層との間に前記Si基板の表層部分が残留するように形成する。前記歪み印加層は50~200 nmの厚さに形成し、前記歪みチャネル層の厚さは10の(3-2x)乗nm程度以下に形成する。

【0015】(2)前記手段(1)の構成において、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が接する構造になっている。即ち、Si基板に形成され、前記Si基板の主面に設けられる厚さ50~200 nmの磊晶半導体層(Si<sub>1-x</sub>Ge<sub>x</sub>層(0≤x≤1))からなる歪み印加層と、前記歪み印加層の下面に上面が接しかつ前記歪み印加層に沿って延在するように前記Si基板内に設けられるSiO<sub>2</sub>絶縁層と、前記歪み印加層上に設けられる厚さが10の(3-2x)乗nm程度以下のSi層からなる歪みチャネル層と、前記歪みチャネル層に設けられるソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャネル層上にゲート絶縁層を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する構成になっている。

【0016】このような電界効果型トランジスタは、前記(1)の手段による製造方法において、前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致するように形成する。

【0017】(3)前記手段(1)または(2)の構成において、前記歪みチャネル層上にはスペーサ層、導電型決定不純物がドーピングされたキャリア供給層、キャップ層が順次形成されて変調ドーブ型の電界効果型トランジスタを構成している。

【0018】このような変調ドーブ型の電界効果型トランジスタは、前記(1)または(2)の手段による製造方法において、前記歪みチャネル層上にスペーサ層、導電型決定不純物がドーピングされたゲルマニウムキャリア供給層、キャップ層を順次形成して変調ドーブ型の電界効果型トランジスタを形成する。

【0019】(4)Si基板と、前記Si基板の主面に成長形成された磊晶半導体層と、前記磊晶半導体層の表面から注入された酸素イオンのアニール処理によって形成されたSiO<sub>2</sub>絶縁層とからなる半導体基板、前記SiO<sub>2</sub>絶縁層と前記磊晶半導体層との間には前記磊晶半導体層の厚さ以下のSi基板を構成するSi層が存在している。前記磊晶半導体層はSi<sub>1-x</sub>Ge<sub>x</sub>層(0≤x≤1)からなり、その厚さは50~200 nmになっている。

【0020】このような半導体基板は、Si基板の主面に磊晶半導体層を成長形成する工程と、前記磊晶半導体層

の表面から前記Si基板内に注入分布のピークが位置するように酸素イオンを注入する工程と、前記Si基板をアニールして前記SiO<sub>2</sub>絶縁層を形成する工程とによって製造される。

【0021】(5)前記手段(1)の構成において、前記磊晶半導体層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致している構成になっている。

【0022】前記(1)の手段によれば、(a)電界効果型トランジスタの構造は、Si基板を用いて製造した電界効果型トランジスタと同様なものになるが、SiGe歪み印加層の厚さはSiMOX基板の500nm程度以上に比較し、その半分以下の200nm程度以下と薄くでき、またこの結果、SiGe歪み印加層上に厚さ10の(3-2x)乗nm程度以下の薄い歪みSiチャネル層を形成できる。

【0023】(b)前記(a)により、SiGe歪み印加層の平坦化が図れ、歪みSiチャネル層の厚さを10の(3-2x)乗nm程度以下と薄くできることから、電界効果型トランジスタのパンチスルー電流の低減、チャネル層中への転移発生による移動度の低下を防止することができ、電界効果型トランジスタの特性(高速化、高性化)向上が達成できる。

【0024】(c)前記(b)により、SiGe歪み印加層の平坦化が図れ、歪みSiチャネル層の薄型化から微細加工が可能になり、高集積化が達成できる。

【0025】(d)前記(a)により、SiGe歪み印加層、歪みSiチャネル層の形成時間の短縮が図れ、半導体装置の製造コストの低減が達成できる。

【0026】(e)前記SiGe歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記SiGe歪み印加層以下の厚さになり、効果的なSiGe歪み印加層の形成が達成できる。

【0027】前記(2)の手段によれば、前記手段(1)の効果に加えて、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が接するようにSiO<sub>2</sub>絶縁層を形成することから、浮遊容量の低減が達成でき、電界効果型トランジスタの特性が向上する。

【0028】前記(3)の手段によれば、前記手段(1)または(2)の構成による効果を有する変調ドーブ型の電界効果型トランジスタを有する半導体装置を製造することかできる。

【0029】前記(4)の手段によれば、表面が磊晶半導体層となるシリコン・オン・インシュレータ(SOI)構造の平坦性に優れた新たな半導体基板を提供することができる。この半導体基板はSi基板上に磊晶半導体層(SiGe層)を有し、かつSi基板の表層部の内方に酸素イオンの注入とアニール処理によって形成されたSiO<sub>2</sub>絶縁層を有する構造となるため、その製造において前記磊晶半導体層の厚さを薄くでき、かつ前記磊晶半導体層もSiとの格子定数の違い(Siの格子定数は0.357nm、Geの格子定数は0.357nm)により歪み印加層として作用する層とさせることができる。従って、この半導体基板の

使用によって微細加工も可能になり、半導体装置の高集積化が可能になる。また、平坦性が良好で歪み印加層と互晶半導体層を有する半導体基板となることから、前記互晶半導体層に歪みチャネル層を形成した場合、さらにはスペーサ層、キャリア供給層等を形成する等によって高速、高性能の電界効果型トランジスタや変調ドープ型の電界効果型トランジスタ等の製造も達成できる。

【0030】前記(5)の手段によれば、半導体基板は前記手続(4)の構成による半導体基板の効果をもつとともに、前記互晶半導体層の半面に前記 $\text{SiO}_2$ 絶縁層の上面が一致している構成になっていることから浮遊容量の低減が達成できる。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0032】(実施形態1)図1乃至図5は本発明の一実施形態(実施形態1)である半導体装置に係わる図であり、図1は半導体装置の模式的断面図、図2乃至図5は半導体装置の製造における各工程での模式的断面図である。

【0033】本実施形態1では、電界効果型トランジスタを有する半導体装置について説明する。図1乃至図5は電界効果型トランジスタ部分のみを示す図である。

【0034】本実施形態1の半導体装置100は、図1に示すように、Si基板101の上面(主面)に $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ )からなるSiGe歪み印加層102、歪みSiチャネル層104を順次層層成長させた構造になっている。また、Si基板101の表層部において、その内部に $\text{SiO}_2$ 絶縁層103を有する構造になっている。

【0035】また、前記歪みSiチャネル層104、SiGe歪み印加層102および $\text{SiO}_2$ 絶縁層103上のSi層部分には貫通しかつ底が前記 $\text{SiO}_2$ 絶縁層103に到達する素子分離絶縁領域105が形成されている。前記素子分離絶縁領域105に囲まれる素子形成領域121には、電界効果型トランジスタのソース領域やドレイン領域を構成する一対の拡散領域108が設けられている。

【0036】また、前記一対の拡散領域108間の歪みSiチャネル層104の表面にはゲート酸化膜106が設けられている。このゲート酸化膜106の上にはゲート電極107が設けられ、ゲート酸化膜106およびゲート電極107の両端には絶縁体からなる側壁(サイドウォール)122が設けられている。前記拡散領域108は前記ゲート酸化膜106の両端側にそれぞれ設けられている。

【0037】前記歪みSiチャネル層104、ゲート電極107および側壁122上には層間絶縁膜109が設けられている。この層間絶縁膜109にはコンタクトホールが設けられているとともに、このコンタクトホール部分には金属配線111が形成され、ゲート電極107に接続されるゲート配

線、拡散領域108に接続されるソースやドレイン用の配線が形成され、電界効果型トランジスタが構成されている。

【0038】次に、図2乃至図5を参照しながら、本実施形態1の半導体装置の製造方法と、各構成部分の組成、寸法等について説明する。

【0039】最初に、図2に示すように、数百 $\mu\text{m}$ の厚さのSi基板101を用意する。その後、前記Si基板101を洗浄し、清浄なSi基板101にする。

【0040】次に、洗浄後、ただちに化学気相成長装置(CVD装置)に導入し、図2に示すように、前記Si基板101の平坦な一表面(主面)上に $\text{Si}_{1-x}\text{Ge}_x$ 混晶層( $0 \leq x \leq 1$ )からなるSiGe歪み印加層(SiGe バッファ層)102を形成する。本実施形態1では前記混晶比 $x$ は0.3とする。従って、SiGe歪み印加層102は $\text{Si}_{0.7}\text{Ge}_{0.3}$ 歪み印加層102になる。CVDにおいては、例えば、原料には $\text{SiH}_4$ および $\text{GeH}_4$ を用い、成長温度 $500^\circ\text{C}$ で成長させ、150nmの厚さに成長させる。

【0041】 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 歪み印加層102(混晶比 $x$ )の形成方法は化学気相成長法に限らず高純度のSiGe層が形成できる方法であればよい。SiGe層の厚みは、素子分離性能や浮遊容量の低減を考慮すると、50-200nm程度とすることが望ましい。また、SiとGeの組成比は、SiGe合金が全率固溶体であるため本質的に任意であるが、Siチャネル層に適切な歪みを与え、かつSiチャネル層の平坦性を保つに適当な値として、Ge比率(混晶比 $x$ )が10%から40%程度にすることが望ましい。また、膜厚方向に向かってGe組成を変化させる(傾斜組成)ことも有効である。

【0042】次に酸素イオンを加速電圧200keV、ドーズ量 $4 \times 10^{17}/\text{cm}^2$ の条件でSiGe歪み印加層102の上から注入するとともに、その後 $1300^\circ\text{C}$ で8時間アニールを行う。これにより、図3に示すように、SiGe歪み印加層102の直下のSi基板101の表層部分に $\text{SiO}_2$ 絶縁層103が形成される。 $\text{SiO}_2$ 絶縁層103の厚みは凡そ100nmであり、絶縁耐圧50V以上が確保される。前記アニール処理により、SiGe歪み印加層102は欠陥密度が極めて低く、平坦でかつ歪み緩和が十分にされる。

【0043】ここで、酸素イオンの注入深さ(酸素濃度プロファイルの頂点位置)が極めて重要である。仮に浮遊容量の低減等に有利であるために、 $\text{SiO}_2$ 絶縁層とSiチャネルとの距離をなるべく近づける、すなわち注入深さを浅くしてSiGe層中に酸素を注入すると、熱処理過程においてSiの選択的酸化とGeの析出が起こり、充分な絶縁性を保つことが不可能になるばかりでなく、表面平坦性が著しく悪化してしまう。そこで、酸素イオンの注入深さはSiGe層の直下、Si内部にすることが必要である。こうすれば、熱処理過程において絶縁性に優れ、かつ平坦な $\text{SiO}_2$ 層が形成される。熱処理過程において、SiGe層は酸素イオン注入による損傷が回復し、歪みは緩和され、

従来より格段に薄いSiGe歪み印加層が形成できることによる。さらに、SiGe層と酸素イオン注入位置との距離は近いほど望ましい。例えば、SiとSiGeの歪み成長の臨界厚さ（Ge濃度20%で400nm前後、50%で100nm前後）以下にするほうが良い。こうすることにより、効果的に歪みが緩和されたSiGe歪み印加層が形成される。この距離を著しく薄くすると、酸素イオン注入濃度プロファイルのすそがSiGe層内に入るが、注入位置（濃度プロファイルの頂点）がSi層内に入っており、その後のアニール工程においても上記したようなGeの析出等の問題による影響が極めて小さくなる。

【0044】この方法によって、従来より薄くかつ平坦で結晶欠陥の極めて少ないSiGe歪み印加層がSiO<sub>2</sub>絶縁層の上部に形成できることになる。なお、前記SiGe歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記SiGe歪み印加層以下の厚さであればよい。

【0045】次にSiGe歪み印加層102の上部に、図4に示すように、化学気相成長法により歪みSiチャネル層104を形成する。膜厚は20nmとしたい。前述のようなSiGe歪み印加層102の上部に歪みSiチャネル層104を形成することから、SiGe歪み印加層102で十分に歪み緩和されておりかつ極めて平坦なため、歪みSiチャネル層104に効果的に歪みを与えることが出来、かつチャネル層の結晶欠陥密度も極めて小さくなる。また、歪みSiチャネル層104は、電界効果トランジスタのパンチスルー電流の低減、チャネル層中への転移発生による移動度の低下を防止するために概ね10の(3-2x)乗nm程度以下の膜厚にすることが望ましい。この歪みSiチャネル層104はSiGe歪み印加層102の格子定数がSiより大きい（Siは5.4309Å、Geは5.6575Å）ことから引張り歪みを受ける。これにより、この中のキャリア（電子およびホール）移動度は、無歪みSi中の移動度の1500（電子）、500（ホール）よりも、例えば、3500（電子）、5000（ホール）程度と大きくなる。

【0046】次に、図4に示すように、常用の手法で素子分離絶縁領域105を形成して電界効果型トランジスタと電界効果型トランジスタを含む回路素子等を形成する素子形成領域121を形成する。前記素子分離絶縁領域105は、例えば、トレンチの形成と、このトレンチを酸化膜で埋め込むことによって形成される。

【0047】素子形成領域121は周囲を素子分離絶縁領域105で囲まれ、下部はSiO<sub>2</sub>絶縁層103が設けられていることから電気絶縁性の高いものとなり、組み込まれる電界効果型トランジスタ等の素子の特性を向上させることができる。

【0048】次に、図4に示すように、歪みSiチャネル層104の表面を熱酸化して酸化膜を形成するとともにポリシリコン膜を重ねて形成した後、ゲート形成領域を除く部分のポリシリコン膜と酸化膜をエッチングしてゲート酸化膜106とゲート電極107を形成する。

【0049】次に、図5に示すように、前記Si基板101の主面側に酸化膜を形成した後、異方性エッチングによって前記酸化膜を除去し、前記ゲート酸化膜106およびゲート電極107の両側面に側壁（サイドウォール）122を形成する。

【0050】次に、図5に示すように、Si基板101の主面側に選択的にレジストを設けるとともに、前記側壁122を利用してセルフアラインによりソース領域やドレイン領域を構成する拡散領域108を形成する。

【0051】次に、図5に示すように、隔間絶縁膜109を形成し、コンタクトホール110を明け、Al等の金属膜を蒸着してパターニングすることによって前記コンタクトホール110部分に金属配線111を形成し、電界効果トランジスタが完成する（図1参照）。

【0052】この電界効果型トランジスタは、前記拡散領域108の形成におけるイオン注入において、P等のV族元素を注入すればn型領域が形成できてnチャネル型電界効果型トランジスタ（NMOS）となり、Ga等のIII族元素を注入すればp型領域が形成できてpチャネル型電界効果型トランジスタ（PMOS）となる。従って、同一Si基板101にPMOS、NMOSを形成することによってCMOSFETも製造できる。

【0053】本実施形態1の半導体装置の製造において製造される図3で示すSi基板101は、このままの状態でも半導体基板として市販可能である。

【0054】即ち、この半導体基板は、Si基板101の主面にSiGe歪み印加層102を有するとともに、Si基板101の表層部分においてその内方にSiO<sub>2</sub>絶縁層103を有する構造である。そして、各部の寸法は前述のように、SiGe歪み印加層102は50～200nm程度の厚さであり、SiO<sub>2</sub>絶縁層103は凡そ100nmである。また、SiGe歪み印加層102と前記SiO<sub>2</sub>絶縁層103との間のSi層の厚さは前記SiGe歪み印加層以下の厚さになっている。

【0055】本実施形態1によれば以下の効果を奏する。

（1）電界効果型トランジスタの構造は、SiMOX基板を用いて製造した電界効果型トランジスタと同様な素子分離性に優れたものになるが、SiGe歪み印加層102の厚さはSiMOX基板の500nm程度以上に比較し、その半分以上の200nm程度以下と薄くでき、平坦性が良好になる。この結果、SiGe歪み印加層の貫通転位、クラックの発生、表面性の悪化が防止でき、結晶性良好なヘテロ構造を実現することができる。また、SiGe歪み印加層102の平坦化から、SiGe歪み印加層102上に形成する歪みSiチャネル層104も10の(3-2x)乗nm程度以下と薄くできる。従って、電界効果トランジスタのパンチスルー電流の低減、チャネル層中への転移発生による移動度の低下を防止することができる。電界効果型トランジスタの高速化、高性能化が達成できる。

【0056】（2）前記（1）により、SiGe歪み印加層

102の平坦化が図れ、歪みSiチャンネル層104の薄型化から微細加工が可能になり、高集積化が達成できる。

【0057】（3）SiGe歪み印加層102、歪みSiチャンネル層104の薄型化により、膜形成時間の短縮が図れ、半導体装置の製造コストの低減が達成できる。

【0058】（4）SiGe歪み印加層102とSiO<sub>2</sub>絶縁層103との間のSi層の厚さは前記SiGe歪み印加層102以下の厚さになり、効果的なSiGe歪み印加層102の形成が達成できる。

【0059】（5）表面がSiGe混晶半導体層となるシリコン・オン・インシュレータ（SOI）構造の平坦性に優れた新たな半導体基板を提供することができる。この半導体基板はSi基板101上にSiGe歪み印加層102を有し、かつSi基板101の表層部の内方に酸素イオンの注入とアニール処理によって形成されたSiO<sub>2</sub>絶縁層103を有する構造となるため、その製造において前記SiGe歪み印加層102の厚さを薄くでき、かつ前記SiGe歪み印加層102もSiとの格子定数の違い（Siの格子定数は5.4309 Å, Geの格子定数は5.6575 Å）により歪み印加層として作用する層とさせることができる。従って、この半導体基板の使用によって半導体装置の微細加工も可能になり、半導体装置の高集積化が可能になる。また、平坦性が良好で歪み印加層となる混晶半導体層を有する半導体基板となることから、前記混晶半導体層に歪みチャンネル層を形成した場合、高速、高性能の電界効果型トランジスタの製造が達成できる。また、後述するように前記歪みSiチャンネル層104上にスペーサ層、キャリア供給層、キャップ層等を形成する等によって高速、高性能の変調ドープ型の電界効果型トランジスタ等の製造も達成できる。

【0060】（実施形態2）図6は本発明の他の実施形態（実施形態2）である半導体装置を示す模式的断面図である。本実施形態2では、前記実施形態1の電界効果型トランジスタにおいて、SiO<sub>2</sub>絶縁層103とSiGe歪み印加層102との間にSi層を介在させずに、SiO<sub>2</sub>絶縁層103の形成時、すなわち、Si基板101上のSiGe歪み印加層102の表面から酸素イオンを注入しかつアニールする際、酸素イオンの注入深さの制御と、アニール処理の制御によって、SiO<sub>2</sub>絶縁層103の上面がSiGe歪み印加層102の下面に一致するようにSiO<sub>2</sub>絶縁層103を形成したものである。

【0061】このような構造にすることによって、前記実施形態1の効果に加えて浮遊容量の低減が達成でき、電界効果型トランジスタの特性の向上が達成できる。

【0062】また、本実施形態2の半導体装置の製造において、SiO<sub>2</sub>絶縁層103を形成した段階のものも半導体基板として市販できる。図7はSiO<sub>2</sub>絶縁層103の上面がSiGe歪み印加層102の下面に一致した構造の新たな半導体基板130の断面図である。この構造の半導体基板130もこのまま市販でき、この半導体基板130を使用して、電界効果型トランジスタや後述する変調ドープ型の電界効果型トランジスタ等を有する半導体装置を製造すること

ができる。

【0063】（実施形態3）本実施形態3では、変調ドープ型の電界効果型トランジスタを有する半導体装置について説明する。図8は変調ドープ型の電界効果型トランジスタを示す模式的断面図、図9乃至図12は本実施形態3の変調ドープ型の電界効果型トランジスタの製造方法を示す模式的断面図である。

【0064】本実施形態3の半導体装置140は、前記実施形態1の半導体装置100において、歪みSiチャンネル層104上に、膜厚15nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶（0 ≤ x ≤ 1）からなるSiGeスペーサ層211、膜厚5nmのSbをドープしたSi<sub>1-x</sub>Ge<sub>x</sub>混晶（0 ≤ x ≤ 1）からなるSiGeキャリア供給層（キャリアドープ層）212、膜厚10nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶（0 ≤ x ≤ 1）からなるSiGeキャップ層213、膜厚5nmのSiからなるSiキャップ層214を有する構造になっている。前記混晶比xは、例えば0.3である。

【0065】また、素子分離絶縁領域105に囲まれる素子形成領域121のSiキャップ層214上には両端に側壁122を有するゲート酸化膜106およびゲート電極107が設けられている。ゲート酸化膜106の両端側にはソース領域またはドレイン領域になる拡散領域108が設けられている。この拡散領域108は歪みSiチャンネル層104の途中深さまで到達する構造になっている。

【0066】本実施形態3の半導体装置140の製造においては、図9に示すように、Si基板101の主面にSiGe歪み印加層102を有し、Si基板101の表層部分においてその内方にSiO<sub>2</sub>絶縁層103を有する半導体基板を製造する。この製造方法は、前記実施形態1と同様であり、図3と全く同じ構造である。

【0067】次に、図10に示すように、前記歪みSiチャンネル層104上に、化学気相成長法によって、膜厚15nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶（x = 0.3）からなるSiGeスペーサ層211、膜厚5nmのSbをドープしたSi<sub>1-x</sub>Ge<sub>x</sub>混晶（x = 0.3）からなるSiGeキャリア供給層（キャリアドープ層）212、膜厚10nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶（x = 0.3）からなるSiGeキャップ層213、膜厚5nmのSiからなるSiキャップ層214を順次成長形成する。

【0068】次に、図11に示すように、常用の手法で素子分離絶縁領域105を形成して素子形成領域121を形成する。前記素子分離絶縁領域105は、例えば、トレンチの形成と、このトレンチを酸化膜で埋め込むことによって形成される。

【0069】次に、図11に示すように、前記Siキャップ層214の表面を熱酸化して酸化膜を形成するとともにポリシリコン膜を重ねて形成した後、ゲート形成領域を除く部分のポリシリコン膜と酸化膜をエッチングして、図12に示すように、ゲート酸化膜106とゲート電極107を形成する。

【0070】次に、図示しないが前記実施形態1の場合と同様に前記ゲート酸化膜106およびゲート電極107



の両側面に側壁(サイドウォール)122を形成した後、常用の方法で側壁122を利用してセルフアラインによりソース領域やドレイン領域を構成する拡散領域108を形成し、次いで層間絶縁膜109を形成し、コンタクトホールを明け、Al等の金属膜を蒸着してバターニングすることによって前記コンタクトホール部分に金属配線111を形成し、図8に示すようなn型の変調ドーピング型の電界効果型トランジスタを形成する。前記拡散領域108は至りSiチャネル層104の途中深さまで到達するように形成される。

【0071】また、前記拡散領域108の形成におけるイオン注入において、III族元素を注入すればpチャネル型の変調ドーピング型の電界効果型トランジスタを製造できる。

【0072】本実施形態3による変調ドーピング型の電界効果型トランジスタにおいても、SiGe至り印加層102の薄型化により平坦化が良好になり、SiGe至り印加層102上に形成する至りSiチャネル層104も10の(3-2x)nm程度以下で薄くでき、パシスル電流の低減、チャネル層中への転移発生による移動度の低下を防止することができる。電界効果型トランジスタの高速化、高性能化が達成できる。

【0073】また、SiGe至り印加層102の平坦化による至りSiチャネル層104の薄型化から微細加工が可能になり、高集積化が達成できる。

【0074】また、SiGe至り印加層102、至りSiチャネル層104の薄型化により、膜形成時間の短縮が図れ、半導体装置の製造コストの低減が達成できる等の効果を有することになる。

【0075】本実施形態3においても、SiGe至り印加層102の下面にSiO<sub>2</sub>絶縁層103の上面が一致するようにSiO<sub>2</sub>絶縁層103を形成する技術を採用することにより、変調ドーピング型の電界効果型トランジスタの浮遊容量の低減が達成できる。

【0076】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、Si基板101上に形成する至り印加層102としてGaAs等他の混晶半導体層を形成した半導体装置の場合でも前記実施例同様な効果が得られる。

【0077】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電界効果型トランジスタの製造技術に適用した場合について説明したが、それに限定されるものではない。

【0078】本発明は少なくともトランジスタやダイオード等の能動素子を有する半導体装置の製造に適用できる。

【0079】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明による電界効果トランジスタおよびこれを内蔵する半導体装置は、従来に比べて、パシスル電流が低く、かつチャネル部分の欠陥密度が著しく減少すること、至り印加層(バッファ層)の厚さを従来より減少させることが可能でチャネル部分の平坦性に優れる。即ち、素子の高速化、高集積化、高性能化が図れるために、その工業的価値は極めて高い。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)である半導体装置を示す模式的断面図である。

【図2】本実施形態1の半導体装置の製造において主にSiGe層を形成したSi基板の模式的断面図である。

【図3】本実施形態1の半導体装置の製造においてSi基板の表層部分にSiO<sub>2</sub>絶縁層を形成した模式的断面図である。

【図4】本実施形態1の半導体装置の製造において素子形成領域の表面にゲート酸化膜およびゲート電極を形成したSi基板の模式的断面図である。

【図5】本実施形態1の半導体装置の製造において層間絶縁膜にコンタクトホールを設けたSi基板の模式的断面図である。

【図6】本発明の他の実施形態(実施形態2)である半導体装置を示す模式的断面図である。

【図7】本実施形態2による半導体基板を示す模式的断面図である。

【図8】本発明の他の実施形態(実施形態3)である半導体装置を示す模式的断面図である。

【図9】本実施形態3の半導体装置の製造において主にSiGe層を形成したSi基板の表層部分にSiO<sub>2</sub>絶縁層を形成した模式的断面図である。

【図10】本実施形態3の半導体装置の製造においてSi基板の主に順次半導体層を積層したSi基板の模式的断面図である。

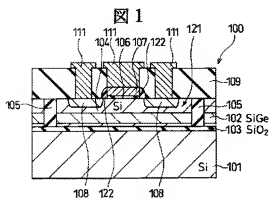
【図11】本実施形態3の半導体装置の製造において素子分離絶縁層を設けるとともに最上層のSi基板の表層部分を酸化膜に形成したSi基板の模式的断面図である。

【図12】本実施形態3の半導体装置の製造においてゲート酸化膜およびゲート電極を形成したSi基板の模式的断面図である。

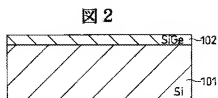
【符号の説明】

100…半導体装置、101…Si基板、102…SiO<sub>2</sub>、<sub>2</sub>GeO<sub>3</sub>バッファ層、103…SiO<sub>2</sub>絶縁層、104…至りSiチャネル層、105…素子分離絶縁領域、106…ゲート酸化膜、107…ゲート電極、108…拡散領域、109…層間絶縁膜、110…コンタクトホール、111…金属配線、121…素子形成領域、122…側壁(サイドウォール)、130…半導体基板、140…半導体装置、211…SiGeスパーサ層、212…SiGeキャリア供給層、213…SiGeキャップ層、214…Siキャップ層。

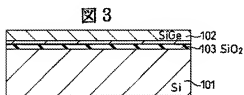
【圖 1】



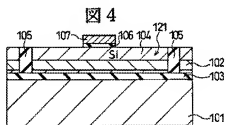
【圖 2】



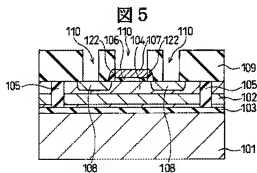
【圖 3】



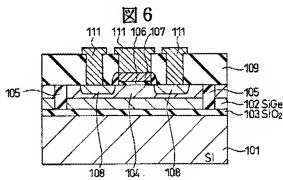
【圖 4】



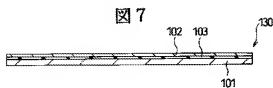
【圖 5】



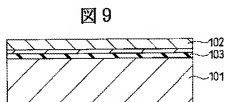
【圖 6】



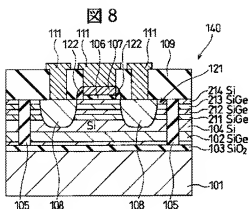
【圖 7】



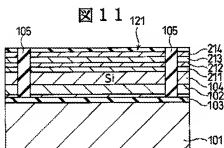
【圖 9】



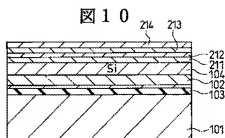
【図8】



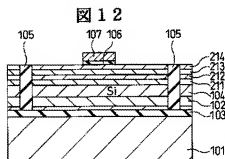
【図11】



【図10】



【図12】



フロントページの続き

(72)発明者 山口 伸也  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72)発明者 宮尾 正信  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

Fターム(参考) 5F040 DA01 DA18 DB06 DC01 EB12  
 EC07 EE06 EH02 EK05 EM00  
 FA03 FA05  
 5P102 FA00 GA14 GC01 GD10 GJ03  
 GL03 GL08 HA02